

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-005703

(43)Date of publication of application : 09.01.1992

(51)Int.Cl.

G05B 19/05

(21)Application number : 02-107213

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 23.04.1990

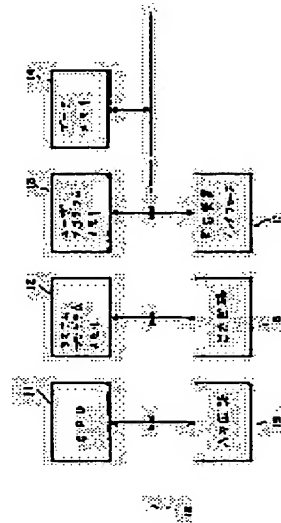
(72)Inventor : HIGUCHI KIYOBUMI
NOSAKA TOSHIKATSU
KUTSUYAMA HIROSHI

(54) SEQUENCE PROGRAM GENERATING DEVICE

(57)Abstract:

PURPOSE: To shorten the time and to reduce labor required for generating a program by executing grammatical error check, double coil check and correction, and the optimization of a circuit simultaneously with an interactive system every time generating one circuit at the time of the generation of the program.

CONSTITUTION: A CPU 11 executes double coil check processing, etc., based on a system program stored beforehand in a system program memory 12. The memory 12 stores the system program to make the CPU 11 execute the double coil check, etc. A user program memory 13 stores a user program converted by a user based on a ladder diagram, and a data memory 14 stores tentatively retrieved double coil data, etc. An input circuit 15 is provided with a large number of input signal sources such as various kinds of switches, an operating coil and so on, and an output circuit 16 is provided with a large number of control relays. A peripheral device interface 17 matches a voltage level, etc., between a programmable controller and a programming console of its peripheral device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫ 公開特許公報(A) 平4-5703

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月9日

G 05 B 19/05

B

9131-3H

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 シーケンスプログラム作成装置

⑯ 特 願 平2-107213

⑰ 出 願 平2(1990)4月23日

⑱ 発 明 者 樋 口 清 文 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
 ⑱ 発 明 者 野 坂 俊 勝 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
 ⑱ 発 明 者 杓 山 弘 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
 ⑲ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
 ⑲ 代 理 人 弁理士 西野 卓嗣 外2名

明 細 書

1. 発明の名称

シーケンスプログラム作成装置

2. 特許請求の範囲

1) 被制御対象をシーケンス制御するユーザプログラムをラダー図を用いて対話形式で一回路毎に入力する入力手段と、入力されたユーザプログラムを格納する記憶手段と、ユーザプログラム内の文法エラーチェックを行う文法エラー処理手段と、ラダー図内の二重コイルを修正する二重コイル処理手段と、回路の最適化を行う最適化処理手段と、を有して成るシーケンスプログラム作成装置。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は、実行すべきシーケンス命令をラダー図の形態で入力することが可能であり、この命令と実行形式の機械語とが1:1で対応する命令体系のプログラマブル・コントローラのシーケンスプログラム作成装置に関する。

(ロ) 従来技術

従来ラダー図によってシーケンス命令を入力し得るプログラマブル・コントローラのプログラム作成装置がある。上記シーケンス・プログラム作成装置は、例えば第6図で示されるようなラダー図に基づいてプログラムを作成する。このように入力されたシーケンス・プログラムのエラーチェック、回路の最適化(特願昭63-11679号)二重コイル(特願昭63-322759号)の修正等をシーケンス・プログラム作成後に行う装置がある。

(ハ) 発明が解決しようとする課題

ところで、こうした方法ではユーザがプログラムを作成していく上でプログラム全部を作成後チェック、最適化、二重コイル等の修正等を行う場合、エラーリスト等を出してそれを参照しながらチェックを行っていかなければならず、プログラムノチェックと修正に時間と労力がかかるという問題があった。

本発明は斯かる事情に鑑みてなされたものであ

り、プログラムのチェック、最適化、修正等を一回路毎に行うことにより、シーケンスプログラム作成の労力と時間を軽減することを目的とする。

(二) 課題を解決するための手段

上記目的を達成するために、本発明のプログラム作成装置は、操作者からのコマンド入力に応じて、上記ユーザプログラムの文法エラーのチェックを行なう文法エラー処理手段と、二重コイルを検索し、修正する二重コイル処理手段と、回路の最適化を行なう最適化回路処理手段とを具備し、これらの処理をユーザと対話形式で行なうものである。

(ホ) 作 用

以上の構成のシーケンスプログラム作成装置によれば、プログラム作成時に、一回路作成毎に対話形式で文法エラーチェック、二重コイルチェックと修正、回路の最適化を同時に行なえる。これによりプログラムを全て入力し終わってからエラーチェックを行ない、エラーリスト等を見ながらプログラムの修正を行なわなくてもよいのでプ

ログラム作成に要する時間、及び労力の軽減を図ることができる。

(ヘ) 実 施 例

以下に、この発明に係るシーケンス・プログラム作成装置の実施例を添付図面を参照しながら説明する。

第1図は、プログラム作成装置の機能ブロック図を示す。

このシーケンス・プログラム作成装置は、ユーザプログラムの命令等を入力する入力部(1)と、一回路作成毎に文法エラーチェックを行なう文法エラー処理部(2)と、文法エラーがなくなれば、二重コイルがあるか検索し、修正をする二重コイル処理部(3)と、回路のステップ数を少なくして実行速度向上のために回路の最適化を行なう最適回路処理部(4)と、(2)、(3)、(4)の処理部の結果を表示し、ユーザと対話形式で処理して行くために必要な表示部(5)とを有する。

第2図は、シーケンスプログラム作成装置のハードウェア構成図を示す。

このシーケンスプログラム作成装置のバスライン(18)には、CPU(11)と、システムプログラムメモリ(12)と、ユーザプログラムメモリ(13)と、データメモリ(14)と、入力回路(15)と、出力回路(16)と、周辺装置インターフェース(17)とが接続されている。

CPU(11)は、システムプログラムメモリ(12)に予め格納されるシステムプログラムに基づいて、二重コイルチェック処理等を実行する。

システムプログラムメモリ(12)は、二重コイルチェック処理等を上記CPU(11)に行なわせるシステムプログラムを格納する。このシステムプログラムに基づいて表したものが、上記第1図の機能ブロック図である。

ユーザプログラムメモリ(13)は、ユーザがラダー図に基づいて、プログラム変換したユーザプログラムを格納する。また、データメモリ(14)は、検索した二重コイルデータ等を一時的に格納する。さらに、入力回路(15)は、各種スイッチ、あるいは操作コイル等多数の入力信号源を有する

ものであり、出力回路(16)は、多数の制御用リレーを装備している。

周辺装置インターフェース(17)は、プログラマブル・コントローラとその周辺装置であるプログラミング・コンソール間の電圧レベル等の整合を取っている。

第3図は、シーケンス・プログラム作成装置に接続される操作パネル(15a)を示す。

操作パネル(15a)は、0～9までの数字キー(15b)と要素キー(15c)と、命令キー(15d)と、各種処理キー(15e)に別れており、数字キー(15b)は、ユーザプログラム作成時に要素番号等を入力するときに使用するものであり、各種処理キー(15e)は、プログラム作成、修正時に操作される各種機能キーを備えており、命令キー(15d)はシーケンス命令を入力するときに使用される。

第4図は入力回路の初期表示画面、第5図はシーケンス・プログラム作成処理プログラムのフローチャートを示す。

こうした構成において、まず、操作者により、

一回路プログラムを作成する(第6図)。そしてこの回路のチェックを行ない何も無いことがわかると、次回路の作成を行ない(第7図)、一回路入力後「回路作成」キーを押すと、回路のチェックを開始する。この場合は文法エラー「LD、AND命令が8個以上ある」と表示される。そこで回路の修正を行ない再び「回路作成」キーを押すと回路のチェックを行ない何も無いので次回路の作成に移る(第8図)。3つ目の回路(第9図)作成後、「回路作成」キーを入力すると第5図のフローに基づいて、チェックを行ない結果を表示する(第9図)。「二重コイルが存在します。修正しますか<Y/N>」、「最適化しますか<Y/N>」というメッセージが出て両者とも「Y」とすると第10図のようになる。そして「作成終了」キーを押してプログラムの作成を終える。

上記構成のプログラム作成装置であれば、一回路作成毎にチェックを行ないながらプログラムを作成して行けるので、プログラム作成後チェックを行ないリスト等を見ながらプログラムの修正を

行なう方法に比べ、プログラム作成の時間および労力が軽減できる。

(ト) 発明の効果

以上のように、本発明のシーケンス・プログラム作成装置によれば、一回路毎にチェックを行ないながら対話形式でプログラム作成が行なえるので、プログラム作成後一度にチェックを行ないリスト等を見ながら修正を行なう方法に比べてプログラム作成の時間および労力が軽減でき、引いてはプログラムミスによる被制御対象の誤動を減少させることができるという特有の効果が得られる。

4. 図面の簡単な説明

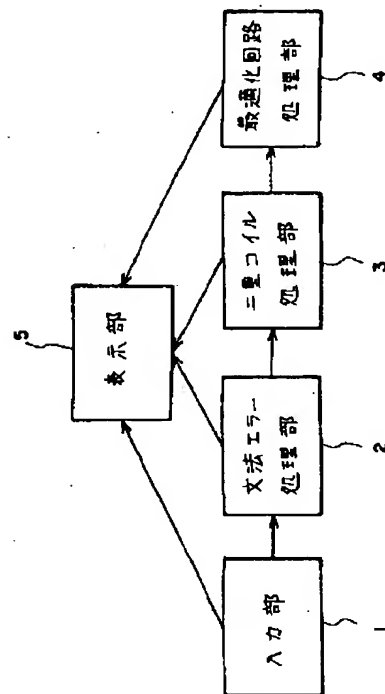
第1図は本願発明に係るシーケンス・プログラム作成装置の機能ブロック図、第2図はシーケンス・プログラム作成装置のハードウェア構成図、第3図はシーケンス・プログラム作成装置の操作パネルを示す外観図、第4図は、シーケンス・プログラム作成装置の初期画面、第5図は、プログラム作成処理の流れ図、第6図乃至第10図は入

力回路の表示部の表示形態を示す状態模式図である。

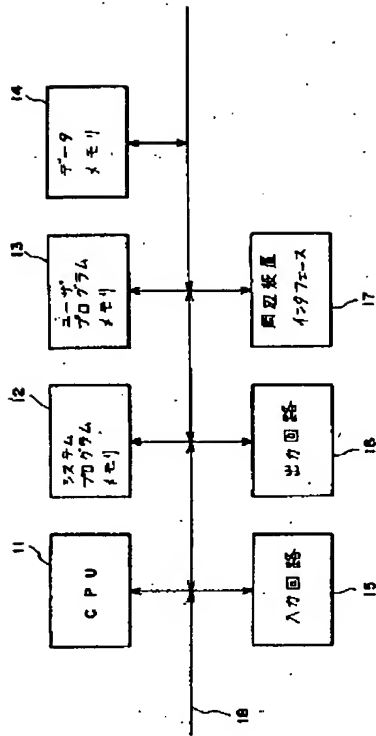
(11)…CPU、(12)…システムプログラムメモリ、(13)…ユーザプログラムメモリ、(14)…データメモリ、(15)…入力回路、(16)…出力回路、(17)…周辺装置インターフェース。

出願人 三洋電機株式会社
代理人 弁理士 西野卓爾(外2名)

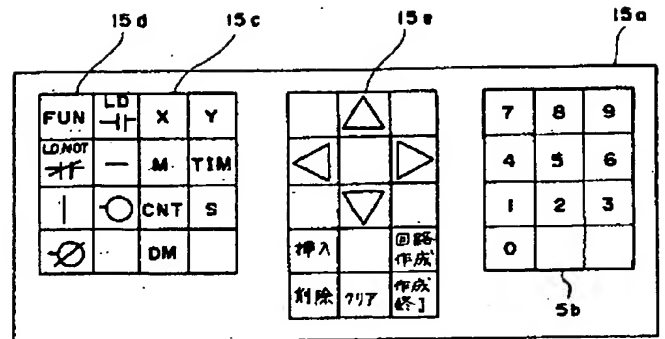
第1図



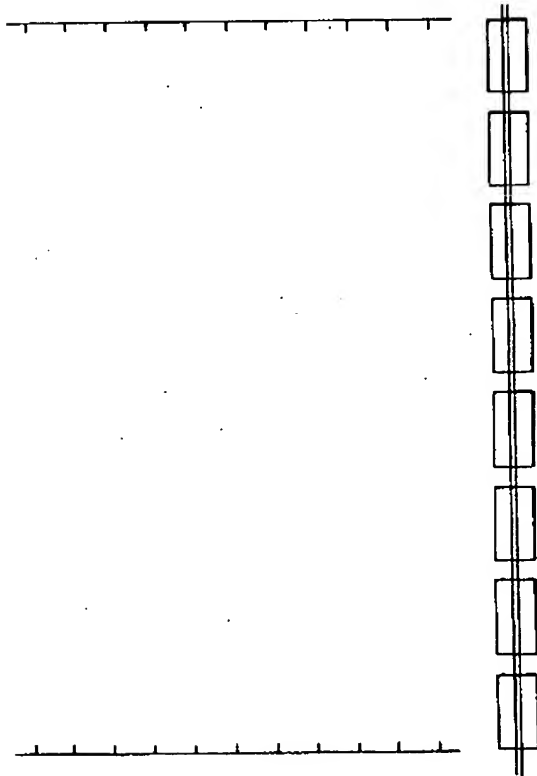
第2図



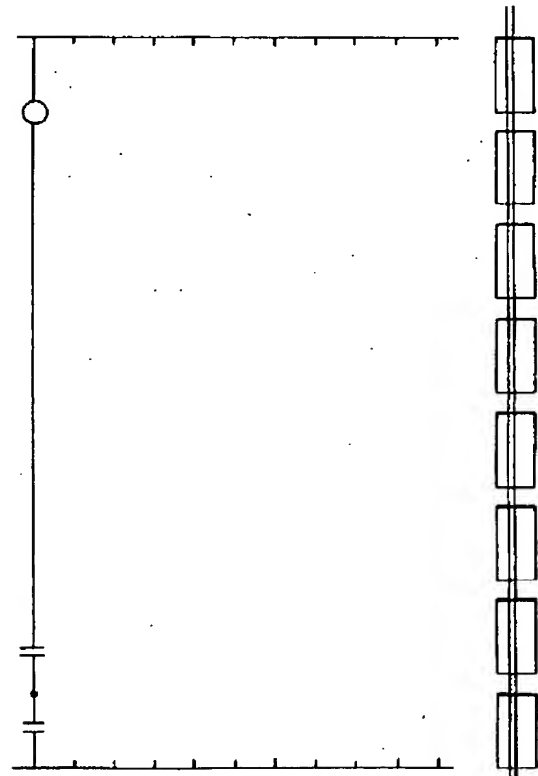
第3図



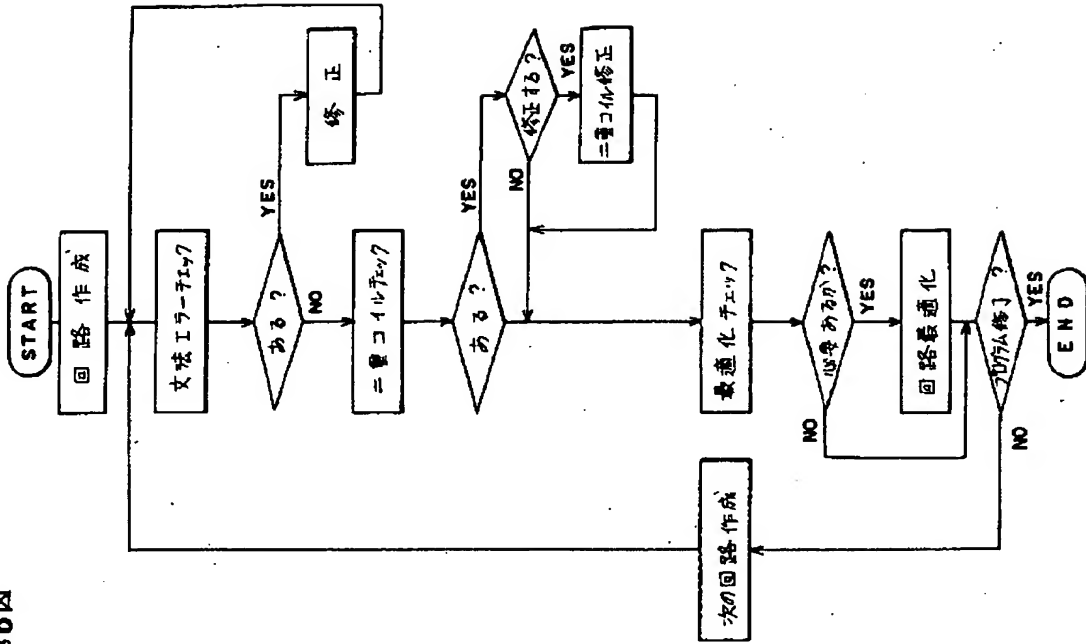
第4図



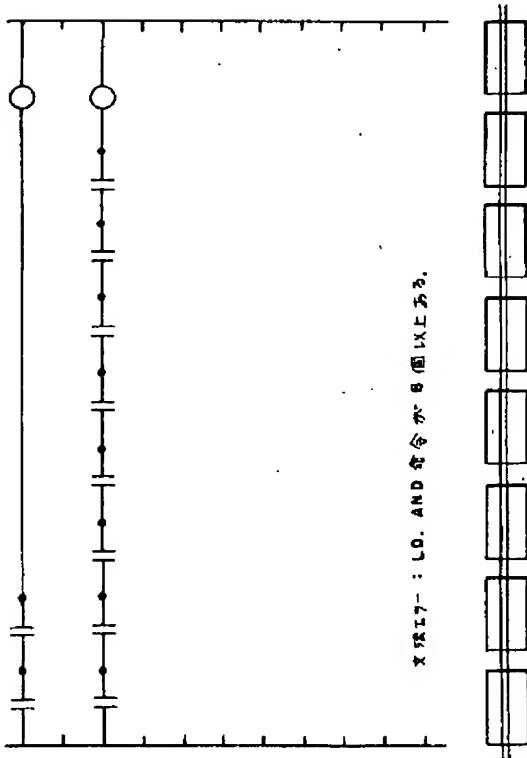
第6図



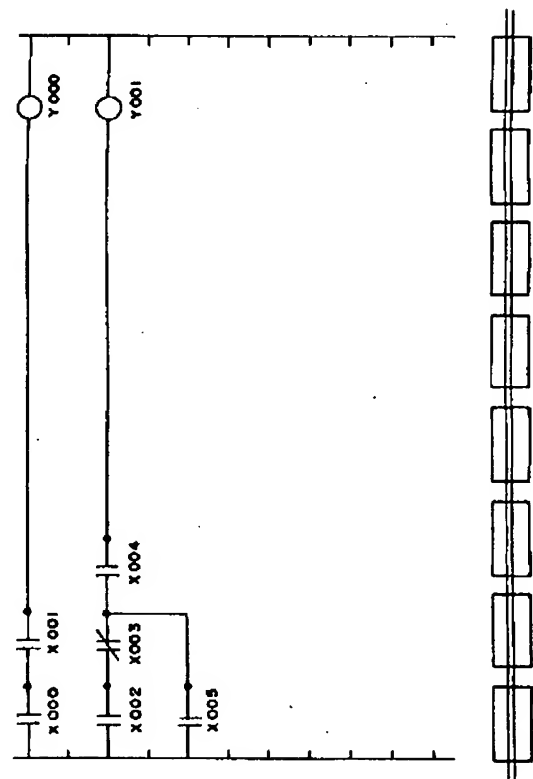
第5図



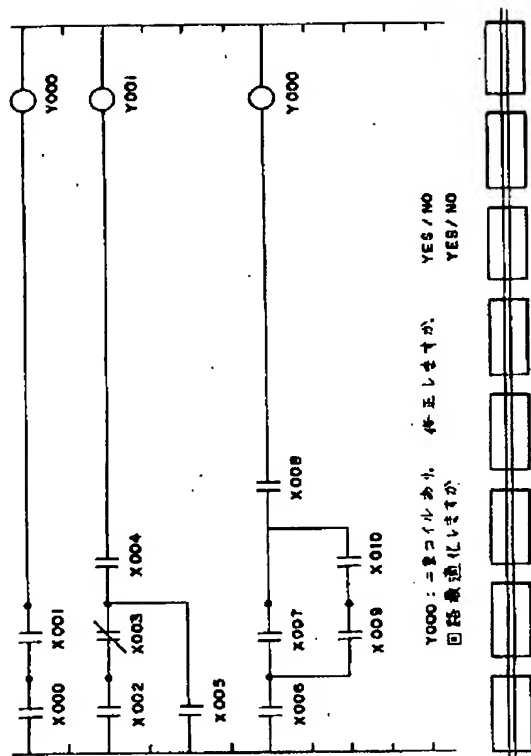
第7図



第8図



第9図



第10図

